

PAT-NO: JP02000196444A

DOCUMENT-IDENTIFIER: JP 2000196444 A

TITLE: PLL CIRCUIT AND DLL CIRCUIT

PUBN-DATE: July 14, 2000

INVENTOR-INFORMATION:

NAME

IWAMOTO, HISASHI

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP10369988

APPL-DATE: December 25, 1998

INT-CL (IPC): H03L007/099, G06F001/06 , H03K003/354 ,
H03K005/135 , H03L007/00
 , H03L007/14 , H04L007/033 , H03K005/26

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent an output waveform from being lost.

SOLUTION: A delay locked loop DLL circuit is provided with a clock buffer, a phase comparator, a charge pump, a loop filter, a voltage controlled delay circuit and a fixed delay circuit. The voltage controlled delay circuit includes a current mirror circuit CTM and a delay stage DLS41. The delay stage DLS41 has clocked inverter circuits CIV1-CIVn, an inverter circuit IV41 and a buffer BF41. The inverter circuit IV41 is connected between clocked inverter

circuits CIV2 and CIV3, and a delay cannot be controlled by
voltages of the
control signals VINP, VINN.

COPYRIGHT: (C) 2000, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196444

(P2000-196444A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 3 L	7/099	H 0 3 L 7/08	F 5 B 0 7 9
G 0 6 F	1/06	H 0 3 K 3/354	B 5 J 0 0 1
H 0 3 K	3/354	5/135	5 J 0 3 9
	5/135	H 0 3 L 7/00	D 5 J 1 0 6
H 0 3 L	7/00	7/14	A 5 K 0 4 7

審査請求 未請求 請求項の数10 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平10-369988

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岩本 久

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

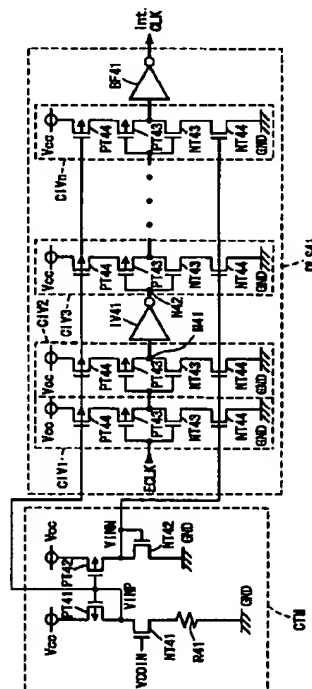
最終頁に続く

(54) 【発明の名称】 PLL回路およびDLL回路

(57) 【要約】

【課題】 出力波形が消滅しないPLL回路およびDLL回路を提供する。

【解決手段】 DLL回路は、クロックバッファCB、位相比較器FCP、チャージポンプCP、ループフィルタLF、電圧制御遅延回路VDL、固定遅延回路DLを備える。電圧制御遅延回路VDLは、カレントミラー回路CTM、遅延段DLSを含む。遅延段DLSは、クロックドインバータ回路CIV1-CIVn、インバータ回路IV41、バッファBF41を含む。インバータ回路IV41は、クロックドインバータ回路CIV2とCIV3との間に接続され、制御信号VINP、VINNの電圧によって遅延量が制御されない。



【特許請求の範囲】

【請求項1】 位相比較器と、前記位相比較器に接続されたループフィルタと、前記位相比較器および前記ループフィルタに接続された電圧制御発振器とを備えるPLL回路であって、

前記電圧制御発振器は、

その出力ノードの充放電時間が前記ループフィルタからの電圧に応じて変化する複数段の第1のインバータ回路と、前記複数段の第1のインバータ回路の途中段に挿入され、その出力ノードの充放電時間が前記ループフィルタからの電圧に応じて変化しない第2のインバータ回路とで構成されるリングオシレータを含む、PLL回路。

【請求項2】 前記第1のインバータ回路は、

電源ノードと前記出力ノードとの間に接続され、そのゲートが入力ノードに接続された第1のPチャネルMOSトランジスタと、

前記出力ノードと接地ノードとの間に接続され、そのゲートが前記入力ノードに接続された第1のNチャネルMOSトランジスタと、

前記電源ノードと前記出力ノードとの間に前記第1のPチャネルMOSトランジスタと直列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のPチャネルMOSトランジスタとを含む、請求項1に記載のPLL回路。

【請求項3】 前記第1のインバータ回路は、

電源ノードと前記出力ノードとの間に接続され、そのゲートが入力ノードに接続された第1のPチャネルMOSトランジスタと、

前記出力ノードと接地ノードとの間に接続され、そのゲートが前記入力ノードに接続された第1のNチャネルMOSトランジスタと、

前記出力ノードと前記接地ノードとの間に前記第1のNチャネルMOSトランジスタと直列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のNチャネルMOSトランジスタとを含む、請求項1に記載のPLL回路。

【請求項4】 前記第1のインバータ回路は、

電源ノードと前記出力ノードとの間に接続され、そのゲートが入力ノードに接続された第1のPチャネルMOSトランジスタと、

前記出力ノードと接地ノードとの間に接続され、そのゲートが前記入力ノードに接続された第1のNチャネルMOSトランジスタと、

前記電源ノードと前記出力ノードとの間に前記第1のPチャネルMOSトランジスタと直列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のPチャネルMOSトランジスタと、

前記出力ノードと前記接地ノードとの間に前記第1のNチャネルMOSトランジスタと直列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のNチャ

ネルMOSトランジスタとを含む、請求項1に記載のPLL回路。

【請求項5】 前記第1のインバータ回路は、

電源ノードと前記出力ノードとの間に接続され、そのゲートが入力ノードに接続された第1のPチャネルMOSトランジスタと、

前記出力ノードと接地ノードとの間に接続され、そのゲートが前記入力ノードに接続された第1のNチャネルMOSトランジスタと、

10 前記出力ノードと前記接地ノードとの間に、前記第1のNチャネルMOSトランジスタと並列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のNチャネルMOSトランジスタと、

前記第2のNチャネルMOSトランジスタと前記接地ノードとの間に接続されたキャパシタとを含む、請求項1に記載のPLL回路。

【請求項6】 位相比較器と、前記位相比較器に接続されたループフィルタと、前記位相比較器および前記ループフィルタに接続された電圧制御遅延回路とを備えるDLL回路であって、

前記電圧制御遅延回路は、

その出力ノードの充放電時間が前記ループフィルタからの電圧に応じて変化する複数段の第1のインバータ回路と、前記複数段の第1のインバータ回路の途中段に挿入され、その出力ノードの充放電時間が前記ループフィルタからの電圧に応じて変化しない第2のインバータ回路とを含む、DLL回路。

【請求項7】 前記第1のインバータ回路は、

電源ノードと前記出力ノードとの間に接続され、そのゲートが入力ノードに接続された第1のPチャネルMOSトランジスタと、

前記出力ノードと接地ノードとの間に接続され、そのゲートが前記入力ノードに接続された第1のNチャネルMOSトランジスタと、

前記電源ノードと前記出力ノードとの間に前記第1のPチャネルMOSトランジスタと直列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のPチャネルMOSトランジスタとを含む、請求項6に記載のDLL回路。

40 【請求項8】 前記第1のインバータ回路は、

電源ノードと前記出力ノードとの間に接続され、そのゲートが入力ノードに接続された第1のPチャネルMOSトランジスタと、

前記出力ノードと接地ノードとの間に接続され、そのゲートが前記入力ノードに接続された第1のNチャネルMOSトランジスタと、

前記出力ノードと前記接地ノードとの間に前記第1のNチャネルMOSトランジスタと直列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のNチャネルMOSトランジスタとを含む、請求項6に記載のD

LL回路。

【請求項9】 前記第1のインバータ回路は、電源ノードと前記出力ノードとの間に接続され、そのゲートが入力ノードに接続された第1のPチャネルMOSトランジスタと、前記出力ノードと接地ノードとの間に接続され、そのゲートが前記入力ノードに接続された第1のNチャネルMOSトランジスタと、前記電源ノードと前記出力ノードとの間に前記第1のPチャネルMOSトランジスタと直列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のPチャネルMOSトランジスタと、前記出力ノードと前記接地ノードとの間に前記第1のNチャネルMOSトランジスタと直列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のNチャネルMOSトランジスタとを含む、請求項6に記載のDLL回路。

【請求項10】 前記第1のインバータ回路は、電源ノードと前記出力ノードとの間に接続され、そのゲートが入力ノードに接続された第1のPチャネルMOSトランジスタと、前記出力ノードと接地ノードとの間に接続され、そのゲートが前記入力ノードに接続された第1のNチャネルMOSトランジスタと、前記出力ノードと前記接地ノードとの間に、前記第1のNチャネルMOSトランジスタと並列に接続され、前記ループフィルタからの電圧をゲートに受ける第2のNチャネルMOSトランジスタと、前記第2のNチャネルMOSトランジスタと前記接地ノードとの間に接続されたキャパシタとを含む、請求項6に記載のDLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、PLL回路およびDLL回路に関する。

【0002】

【従来の技術】主記憶として用いられるDRAM（ダイナミックランダムアクセスメモリ）の動作速度は高速化されてきているものの、依然マイクロプロセッサ（MPU）の動作速度に追従することができない。このため、DRAMのアクセスタイムおよびサイクルタイムがボトルネックとなり、システム全体の性能が低下することがよく言われる。近年、高速MPUのための主記憶としてクロック信号に同期して動作するSDRAM（シンクロナスDRAM）が提案されている。

【0003】行アドレスストロブ信号および列アドレスストロブ信号という外部制御信号に同期してアドレス信号および入力データなどを取込んで動作させる従来のDRAMと異なり、SDRAMにおいては、外部から与えられるシステムクロックであるクロック信号の立上

がりエッジでアドレスストロブ信号、アドレス信号および入力データなどの外部信号を取込む。また、高速でアクセスするために、システムクロック信号に同期して連続したたとえば8ビットの連続ビット（1つのデータ入出力端子について）に高速アクセスする仕様が提案されている。

【0004】このように、外部からのクロック信号に同期させて外部からの信号およびデータを取込む同期動作を実行するSDRAMの利点は、アドレス信号のスキュー（タイミングのずれ）によるデータ入出力時間に対するマージンを確保する必要がなく、サイクルタイムを短縮することができることなどである。このようにクロック信号に同期して連続データの書込および読出を実行することができれば、連続アクセスタイムを高速化することが可能となる。

【0005】上述のとおり、MPUの高速化に伴い、システム全体の性能の面から見ても内部クロック信号の高速化の問題は避けられなくなりつつある。これは内部クロック信号が遅いとクロックからのアクセスタイムにより動作周波数が律速されるからである。

【0006】このような要請に対して、外部からのクロック信号を受けてそのクロック信号に同期した内部クロック信号を発生するDLL（ディレイロックドループ）回路を用いた内部クロック発生回路が提案されている。

【0007】DLL回路は、位相比較器、チャージャポンプ、ループフィルタ、電圧制御遅延回路、固定遅延回路からなるフィードバックループ回路であり、一種の自動制御回路である。DLL回路の基本的構成要素のうちデジタル回路からなるものは位相比較器のみであり、チャージャポンプ、ループフィルタおよび電圧制御遅延回路についてはアナログ回路からなる。また、すべてデジタル回路からなるデジタルディレイロックドループ（DDLL）の仕様も提案されている。

【0008】図10は、電圧制御遅延回路の構成の一例を示す回路図である。電圧制御遅延回路は、カレントミラー回路CTMと、複数段のクロックドインバータ回路CIVとを含む。

【0009】

【発明が解決しようとする課題】この電圧制御遅延回路においては、カレントミラー回路CTMからの制御信号VINP、VINNによってPチャネルMOSトランジスタQPおよびNチャネルMOSトランジスタQNのソースからドレインに流れ込む電流が制限される。そのため、各クロックドインバータ回路の出力波形が鈍る。例えば、入力された外部クロック信号ECLKの波形は、ノードAでは図11に示されたようになる。さらに、このノードAの鈍った波形が次段のクロックドインバータ回路に入力され、その出力であるノードBの波形は、図11に示されるようにさらに鈍る。このようにして、最終段の出力である内部クロック信号int. CLKの波

形は三角波に近くなり、LレベルからHレベルへ、もしくは逆にHレベルからLレベルに切換われなくなる。特に遅延量を大きくするために、制御信号VINPのレベルを上げ、制御信号VINNのレベルを下げて電流値を絞ったときに起こる。

【0010】以上のように、このような電圧制御遅延回路を用いると入力波形が消滅する場合がある。特に、外部クロック信号の周波数が低く、クロックドインバート回路の電流が絞られるときにパルス幅が細いクロックが入力されるとクロックドインバート回路の出力が鈍って波形が消滅する。波形が消滅した場合、チップの動作が止まり不具合を発生する。

【0011】なお、以上の問題は、PLL回路についても同様に生じるものである。この発明は、以上のような問題を解決するためになされたもので、その目的は、出力波形が消滅しないPLL回路およびDLL回路を提供することである。

【0012】

【課題を解決するための手段】この発明の1つの局面に従ったPLL回路は、位相比較器と、位相比較器に接続されたループフィルタと、位相比較器およびループフィルタに接続された電圧制御発振器とを備える。電圧制御発振器は、リングオシレータを含む。リングオシレータは、複数段の第1のインバート回路と、第2のインバート回路とで構成される。複数段の第1のインバート回路は、その出力ノードの充放電時間がループフィルタからの電圧に応じて変化する。第2のインバート回路は、複数段の第1のインバート回路の途中段に挿入され、その出力ノードの充放電時間がループフィルタからの電圧に応じて変化しない。

【0013】上記PLL回路においては、ループフィルタからの電圧による制御のため第1のインバート回路の出力波形が鈍る。この鈍った波形が次段の第1のインバート回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバート回路の途中段に挿入された第2のインバート回路によって整形される。したがって、電圧制御発振器からの出力波形が消滅することはない。

【0014】好ましくは、上記第1のインバート回路は、第1のPチャンネルMOSトランジスタと、第1のNチャンネルMOSトランジスタと、第2のPチャンネルMOSトランジスタとを含む。第1のPチャンネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、そのゲートが入力ノードに接続される。第1のNチャンネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、そのゲートが入力ノードに接続される。第2のPチャンネルMOSトランジスタは、電源ノードと出力ノードとの間に第1のPチャンネルMOSトランジスタと直列に接続され、ループフィルタからの電圧をゲートに受ける。

【0015】上記PLL回路においては、ループフィルタからの電圧によって第2のPチャンネルMOSトランジスタのソースからドレインに流れ込む電流が制御される。このため第1のインバート回路の出力波形が鈍る。この鈍った波形が次段の第1のインバート回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバート回路の途中段に挿入された第2のインバート回路によって整形される。したがって、電圧制御発振器からの出力波形が消滅することはない。

【0016】好ましくは、上記第1のインバート回路は、第1のPチャンネルMOSトランジスタと、第1のNチャンネルMOSトランジスタと、第2のNチャンネルMOSトランジスタとを含む。第1のPチャンネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、そのゲートが入力ノードに接続される。第1のNチャンネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、そのゲートが入力ノードに接続される。第2のNチャンネルMOSトランジスタは、出力ノードと接地ノードとの間に第1のNチャンネルMOSトランジスタと直列に接続され、ループフィルタからの電圧をゲートに受ける。

【0017】上記PLL回路においては、ループフィルタからの電圧によって第2のNチャンネルMOSトランジスタのソース・ドレイン間に流れる電流が制御される。このため第1のインバート回路の出力波形が鈍る。この鈍った波形が次段の第1のインバート回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバート回路の途中段に挿入された第2のインバート回路によって整形される。したがって、電圧制御発振器からの出力波形が消滅することはない。

【0018】好ましくは、上記第1のインバート回路は、第1のPチャンネルMOSトランジスタと、第1のNチャンネルMOSトランジスタと、第2のPチャンネルMOSトランジスタと、第2のNチャンネルMOSトランジスタとを含む。第1のPチャンネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、そのゲートが入力ノードに接続される。第1のNチャンネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、そのゲートが入力ノードに接続される。第2のPチャンネルMOSトランジスタは、電源ノードと出力ノードとの間に第1のPチャンネルMOSトランジスタと直列に接続され、ループフィルタからの電圧をゲートに受ける。第2のNチャンネルMOSトランジスタは、出力ノードと接地ノードとの間に第1のNチャンネルMOSトランジスタと直列に接続され、ループフィルタからの電圧をゲートに受ける。

【0019】上記PLL回路においては、ループフィルタからの電圧によって第2のPチャンネルMOSトランジ

スタおよび第2のNチャネルMOSトランジスタのソースからドレインに流れ込む電流が制御される。このため第1のインバータ回路の出力波形が鈍る。この鈍った波形が次段の第1のインバータ回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバータ回路の途中段に挿入された第2のインバータ回路によって整形される。したがって、電圧制御発振器からの出力波形が消滅することはない。

【0020】好ましくは、上記第1のインバータ回路は、第1のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタと、第2のNチャネルMOSトランジスタと、キャパシタを含む。第1のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、そのゲートが入力ノードに接続される。第1のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、そのゲートが入力ノードに接続される。第2のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に、第1のNチャネルMOSトランジスタと並列に接続され、ループフィルタからの電圧をゲートに受ける。キャパシタは、第2のNチャネルMOSトランジスタと接地ノードとの間に接続される。

【0021】上記PLL回路においては、ループフィルタからの電圧によって第2のNチャネルMOSトランジスタのソース・ドレイン間に流れる電流が制御される。このため第1のインバータ回路の出力波形が鈍る。この鈍った波形が次段の第1のインバータ回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバータ回路の途中段に挿入された第2のインバータ回路によって整形される。したがって、電圧制御発振器からの出力波形が消滅することはない。

【0022】この発明のもう1つの局面に従ったDLL回路は、位相比較器と、位相比較器に接続されたループフィルタと、位相比較器およびループフィルタに接続された電圧制御遅延回路とを備える。電圧制御遅延回路は、複数段の第1のインバータ回路と、第2のインバータ回路とを含む。複数段の第1のインバータ回路は、その出力ノードの充放電時間がループフィルタからの電圧に応じて変化する。第2のインバータ回路は、複数段の第1のインバータ回路の途中段に挿入され、その出力ノードの充放電時間がループフィルタからの電圧に応じて変化しない。

【0023】上記DLL回路においては、ループフィルタからの電圧による制御のため第1のインバータ回路の出力波形が鈍る。この鈍った波形が次段の第1のインバータ回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバータ回路の途中段に挿入された第2のインバータ回路に

よって整形される。したがって、電圧制御遅延回路からの出力波形が消滅することはない。

【0024】好ましくは、上記第1のインバータ回路は、第1のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタと、第2のPチャネルMOSトランジスタとを含む。第1のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、そのゲートが入力ノードに接続される。第1のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、そのゲートが入力ノードに接続される。第2のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に第1のPチャネルMOSトランジスタと直列に接続され、ループフィルタからの電圧をゲートに受ける。

【0025】上記DLL回路においては、ループフィルタからの電圧によって第2のPチャネルMOSトランジスタのソース・ドレイン間に流れる電流が制御される。このため第1のインバータ回路の出力波形が鈍る。この鈍った波形が次段の第1のインバータ回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバータ回路の途中段に挿入された第2のインバータ回路によって整形される。したがって、電圧制御遅延回路からの出力波形が消滅することはない。

【0026】好ましくは、上記第1のインバータ回路は、第1のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタと、第2のNチャネルMOSトランジスタとを含む。第1のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、そのゲートが入力ノードに接続される。第1のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、そのゲートが入力ノードに接続される。第2のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に第1のNチャネルMOSトランジスタと直列に接続され、ループフィルタからの電圧をゲートに受ける。

【0027】上記DLL回路においては、ループフィルタからの電圧によって第2のNチャネルMOSトランジスタのソース・ドレイン間に流れる電流が制御される。このため第1のインバータ回路の出力波形が鈍る。この鈍った波形が次段の第1のインバータ回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバータ回路の途中段に挿入された第2のインバータ回路によって整形される。したがって、電圧制御遅延回路からの出力波形が消滅することはない。

【0028】好ましくは、上記第1のインバータ回路は、第1のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタと、第2のPチャネルMOSトランジスタと、第2のNチャネルMOSトランジスタとを含む。

タを含む。第1のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、そのゲートが入力ノードに接続される。第1のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、そのゲートが入力ノードに接続される。第2のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に第1のPチャネルMOSトランジスタと直列に接続され、ループフィルタからの電圧をゲートに受ける。第2のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に第1のNチャネルMOSトランジスタと直列に接続され、ループフィルタからの電圧をゲートに受ける。

【0029】上記DLL回路においては、ループフィルタからの電圧によって第2のPチャネルMOSトランジスタおよび第2のNチャネルMOSトランジスタのソース・ドレイン間に流れる電流が制御される。このため第1のインバータ回路の出力波形が鈍る。この鈍った波形が次段の第1のインバータ回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバータ回路の途中段に挿入された第2のインバータ回路によって整形される。したがって、電圧制御遅延回路からの出力波形が消滅することはない。

【0030】好ましくは、上記第1のインバータ回路は、第1のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタと、第2のNチャネルMOSトランジスタと、キャパシタを含む。第1のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、そのゲートが入力ノードに接続される。第1のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、そのゲートが入力ノードに接続される。第2のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に、第1のNチャネルMOSトランジスタと並列に接続され、ループフィルタからの電圧をゲートに受ける。キャパシタは、第2のNチャネルMOSトランジスタと接地ノードとの間に直列に接続される。

【0031】上記DLL回路においては、ループフィルタからの電圧によって第2のNチャネルMOSトランジスタのソース・ドレイン間に流れる電流が制御される。このため第1のインバータ回路の出力波形が鈍る。この鈍った波形が次段の第1のインバータ回路に入力され、さらに鈍った波形として出力される。しかし、この鈍った波形は、複数段の第1のインバータ回路の途中段に挿入された第2のインバータ回路によって整形される。したがって、電圧制御遅延回路からの出力波形が消滅することはない。

【0032】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相

当部分には同一符号を付してその説明を繰返さない。

【0033】〔実施の形態1〕図1は、この発明の実施の形態1によるDLL回路の全体構成を示すブロック図である。図1を参照して、DLL回路は、クロックバッファCBと、位相比較器FCPと、チャージポンプCPと、ループフィルタLFと、電圧制御遅延回路VDLと、固定遅延回路DLとを備える。

【0034】クロックバッファCBは、外部クロック信号ext. CLKをバッファリングしてクロック信号ECLKとして出力する。位相比較器FCPは、クロック信号ECLKと固定遅延回路DLからのクロック信号RCLKとの位相を比較して、その比較結果に応じて制御信号/UP, DOWNを出力する。チャージポンプCPは、制御信号/UP, DOWNに応じた電圧を出力する。ループフィルタLFは、チャージポンプからの出力電圧を平滑化して制御信号VCOINとして電圧制御遅延回路VDLに供給する。電圧制御遅延回路VDLは、クロック信号ECLKを制御信号VCOINに応じた量だけ遅延させて内部クロック信号int. CLKとして出力する。固定遅延回路DLは、内部クロック信号int. CLKを所定時間遅延させてクロック信号RCLKとして出力する。

【0035】図2は、図1に示された位相比較器FCPの構成を示すブロック図である。図2を参照して、位相比較器FCPは、インバータ回路IV1-IV5と、NAND回路ND1-ND9を含む。この位相比較器FCPでは、クロック信号RCLKの位相がクロック信号ECLKの位相よりも進んでいるときHレベルの制御信号/UP, DOWNが出力され、クロック信号RCLKの位相がクロック信号ECLKの位相よりも遅れているときLレベルの制御信号/UP, DOWNが出力される。クロック信号RCLK, ECLKの位相が一致すると同期が確定し、この状態を一般的に、DLL回路がロックした状態という。

【0036】図3は、図1に示されたチャージポンプCPおよびループフィルタLFの構成を示す図である。図3を参照して、チャージポンプCPは、電源ノードVccと接地ノードGNDとの間に直列に接続されたPチャネルMOSトランジスタQP31およびNチャネルMOSトランジスタQN31と、電源ノードVccとPチャネルMOSトランジスタQP31との間に接続された定電流源I1と、NチャネルMOSトランジスタQN31と接地ノードGNDとの間に接続された定電流源I2とを含む。PチャネルMOSトランジスタQP31は、制御信号/UPをゲートに受ける。NチャネルMOSトランジスタQN31は、制御信号DOWNをゲートに受ける。ループフィルタLFは、ノードN31と接地ノードGNDとの間に直列に接続された抵抗R31およびキャパシタC31を含む。

【0037】チャージポンプCPは、位相検出器FC

Pからの制御信号UP、DOWNが入力されると、デジタル量がアナログ量に変換にされ、制御信号UP、DOWNの位相差分の時間だけループフィルタLFから電流を流し出したり流し込んだりし、位相差に相当する電圧をノードN31へ出力する。ループフィルタLFは、ノードN31の電圧を平滑化する。この平滑化された電圧は制御信号VCOINとなる。

【0038】図4は、図1に示された電圧制御遅延回路VDLの構成を示すブロック図である。図4を参照して、電圧制御遅延回路VDLは、カレントミラー回路CTMと、遅延段DLSとを含む。

【0039】カレントミラー回路CTMは、PチャネルMOSTランジスタPT41、PT42と、NチャネルMOSTランジスタNT41、NT42と、抵抗R41とを含む。PチャネルMOSTランジスタPT41とNチャネルMOSTランジスタNT41の相互接続ノードの電圧が制御信号VINPとして、PチャネルMOSTランジスタPT42とNチャネルMOSTランジスタNT42の相互接続ノードの電圧が制御信号VINNとしてそれぞれ遅延段DLSへ供給される。

【0040】遅延段DLSは、n段のクロックインバータ回路CIV1-CIVnと、インバータ回路IV41と、バッファBF41とを含む。クロックインバータ回路CIVi (i=1-n)は、PチャネルMOSTランジスタPT43、PT44と、NチャネルMOSTランジスタNT43、NT44とを含む。PチャネルMOSTランジスタPT44、PT43およびNチャネルMOSTランジスタNT43、NT44は、電源ノードVccと接地ノードGNDとの間に直列に接続される。PチャネルMOSTランジスタPT43およびNチャネルMOSTランジスタNT43は、通常のインバータ回路を構成する。PチャネルMOSTランジスタPT44は、制御信号VINPをゲートに受ける。NチャネルMOSTランジスタNT44は、制御信号VINNをゲートに受ける。インバータ回路IV41は、2段目のクロックインバータ回路CIV2と3段目のクロックインバータ回路CIV3との間に接続され、2段目のクロックインバータ回路CIV2の出力ノードN41の電圧を反転して3段目のクロックインバータ回路CIV3の入力ノードN42へ出力する。クロック信号ECLKが初段のクロックインバータ回路CIV1へ入力され、これが順次遅延され、さらにバッファBF41によって整形されて内部クロック信号int. CLKとして出力される。

【0041】クロック信号RCLKの位相がクロック信号ECLKの位相よりも遅れているときには制御信号VCOINの電圧が高くなり、これに伴って制御信号VINPの電圧は低く、制御信号VINNの電圧は高くなる。これにより、PチャネルMOSTランジスタPT44およびNチャネルMOSTランジスタNT44は強く

オンになり、クロックインバータ回路CIV1-CIVnの遅延量が小さくなる。

【0042】クロック信号RCLKの位相がクロック信号ECLKの位相よりも進んでいるときには制御信号VCOINの電圧が低くなり、これに伴って制御信号VINPの電圧は高く、制御信号VINNの電圧は低くなる。これにより、PチャネルMOSTランジスタPT44およびNチャネルMOSTランジスタNT44は弱くオンになり、クロックインバータ回路CIV1-CIVnの遅延量が大きくなる。

【0043】この電圧制御遅延回路VDLが、図10に示された従来の電圧制御遅延回路と異なる点は、インバータ回路IV41を設けた点である。インバータ回路IV41は、クロックインバータ回路CIV1-CIVnと異なり、制御信号VINP、VINNの電圧によって遅延量が制御されない。インバータ回路IV41からの出力波形はインバータ回路IV41への入力波形よりも立上がり時間、立下がり時間が速くなり、波形が消滅する条件が少なくなる。

【0044】これについて、図5を参照しつつ説明する。制御信号VINP、VINNによってPチャネルMOSTランジスタPT44およびNチャネルMOSTランジスタNT44のソースからドレインに流れ込む電流が制限される。そのため、クロックインバータ回路CIV1-CIVnの出力波形が鈍る。例えば、初段のクロックインバータ回路CIV1に入力された外部クロック信号ECLKの波形は、クロックインバータ回路CIV2の出力ノードであるノードN41では図5に示されたように鈍る。

【0045】しかし、ノードN41での鈍った波形は、インバータ回路IV41によって成形され、再び鈍りの少ない波形としてノードN42に出力される。

【0046】このようにインバータ回路IV41で成形されるため、最終的な内部クロック信号int. CLKのパルス波形は消滅することがない。

【0047】なお、ここでは、インバータ回路IV41を2段目のクロックインバータ回路CIV2と3段目のクロックインバータ回路CIV3との間に設けたが、初段と最終段以外の途中段であればよい。すなわち、1段目のクロックインバータ回路CIV1と2段目のクロックインバータ回路CIV2との間から(n-1)段目のクロックインバータ回路CIV(n-1)とn段目のクロックインバータ回路CIVnとの間までの最適な箇所に設けることができる。

【0048】また、インバータ回路IV41を複数箇所に設けることもできる。これにより、さらに効果的に内部クロック信号int. CLKの波形の消滅を防ぐことができる。

【0049】以上のように、この実施の形態1によるDLL回路は、インバータ回路IV41を設けたため、内

部クロック信号 int 、CLKの波形の消滅を防ぐことができる。

【0050】〔実施の形態1の応用例〕実施の形態1によるDLL回路では、外部クロック信号 ext 、CLKと同位相の内部クロック信号 int 、CLKが安定して得られる。このDLL回路を内部クロック発生回路としてSDRAMに使用することができる。以下、SDRAMの動作について簡単に説明する。

【0051】SDRAMにおいては、高速でアクセスするために、システムクロック信号に同期して連続したたとえば8ビットの連続ビット（1つのデータ入出力端子について）に高速アクセスする仕様が提案されている。この連続アクセスの仕様を満たすSDRAMの標準的なタイミング図を図6に示す。図6においては、データ入出力端子DQ0-DQ7の8ビットのデータ（バイトデータ）の入力および出力が可能なSDRAMにおいて、連続して8ビットのデータ（8×8の合計64ビット）を書込む動作または読み出す動作を示す。連続して読出されるデータのビット数はバースト長と呼ばれ、SDRAMではモードレジスタによって変更することが可能である。

【0052】図6に示すように、SDRAMにおいては、たとえばシステムクロックである外部クロック信号 ext 、CLKの立上がりエッジで外部からの制御信号（ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、アドレス信号ADDなど）が取込まれる。アドレス信号ADDは、行アドレス信号Xと列アドレス信号Yとが時分的に多重化されて与えられる。ロウアドレスストロブ信号/RASが、クロック信号CLKの立上がりエッジにおいて活性状態のLレベルになればそのときのアドレス信号ADDが行アドレス信号Xとして取込まれる。

【0053】次いで、コラムアドレスストロブ信号/CASがクロック信号CLKの立上がりエッジにおいて活性状態のLレベルになればそのときのアドレス信号ADDが列アドレスYとして取込まれる。この取込まれた行アドレス信号Xaおよび列アドレス信号Ybに従ってSDRAM内において行および列の選択動作が実施される。ロウアドレスストロブ信号/RASがLレベルに立下がってから所定のクロック期間（図6においては6クロックサイクル）が経過した後、最初の8ビットデータが出力される。以降、クロック信号CLKの立上がりに応答してデータが出力される。書込動作時においては、行アドレス信号Xcの取込はデータ読出時と同様である。クロック信号CLKの立上がりエッジにおいてコラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEがともに活性状態のLレベルであれば、列アドレス信号Ydが取込まれるとともに、そのときに与えられていたデータd0が最初の書込データとして取込まれる。この信号/RASおよび/CASの立下

りに応答して、SDRAM内部においては行および列選択動作が実行される。クロック信号CLKに同期して順次入力データd1、…d7が取込まれ、順次メモリセルにこの入力データが書込まれる。

【0054】〔実施の形態1の変形例〕図4に示された遅延段DLSに代えて、図7に示されるような遅延段を設けることもできる。

【0055】図7を参照して、この遅延段は、インバータブロックDB1-DBnと、インバータ回路IV41と、バッファBF41とを含む。インバータブロックDBi（ $i=1-n$ ）は、インバータ回路IV71と、NチャネルMOSトランジスタNT71と、キャパシタC71とを含む。NチャネルMOSトランジスタNT71およびキャパシタC71は、インバータ回路IV71の出力ノードと接地ノードGNDとの間に直列に接続される。NチャネルMOSトランジスタNT71は、制御信号VINNをゲートに受ける。インバータブロックDBiにおいては、制御信号VINNに中間電位を与えてインバータIV71のドレイン容量値を変化させてインバータIV71の出力ノードの充放電時間、すなわち遅延量を変化させる。

【0056】インバータブロックDBiにおいては、図4に示されたクロックドインバータ回路CIViと同様に、その出力波形が鈍る。したがって、インバータブロックDBiを複数段接続した遅延段においては、その最終段の出力である内部クロック信号 int 、CLKの波形が消滅する可能性が高い。

【0057】そこで、図4に示されるのと同様に、インバータブロックDBiの途中にドレイン容量を変化させないインバータ回路IV41を設け波形を整形させる。

【0058】これにより、実施の形態1におけるのと同様の効果を得ることができる。

〔実施の形態2〕図8は、この発明の実施の形態2によるPLL回路の全体構成を示すブロック図である。図8を参照して、PLL回路は、クロックバッファCBと、位相比較器FCPと、チャージポンプCPと、ループフィルタLFと、電圧制御発振器VCOと、固定遅延回路DLとを備える。クロックバッファCB、位相比較器FCP、チャージポンプCP、ループフィルタLF、および固定遅延回路DLは、図1に示されたのと同様である。

【0059】図9は、図8に示された電圧制御発振器VCOの構成を示すブロック図である。図9を参照して、電圧制御発振器VCOは、カレントミラー回路CTMと、リングオシレータROSとを含む。カレントミラー回路CTMは、図4に示されたのと同様である。リングオシレータROSは、n段のクロックドインバータ回路CIV1-CIVnと、インバータ回路IV41と、バッファBF41とを含む。図4に示された電圧制御遅延回路DLS41と異なり、バッファBF41の出力、す

なわち内部クロック信号 i_{nt} 、CLKがクロックドインバータCIV1の入力にフィードバックされる。それ以外は図4に示された電圧遅延回路VDLにおけるのと同様である。

【0060】この電圧制御発振器VCOが、従来の電圧制御発振器VCOと異なる点は、インバータ回路IV41を設けた点である。インバータ回路IV41は、制御信号VINP、VINNの電圧によって遅延量が制御されない。インバータ回路IV41からの出力波形はインバータ回路IV41への入力波形よりも立上がり時間、立下がり時間が速くなり、波形が消滅する条件が少なくなる。したがって、最終的な内部クロック信号 i_{nt} 、CLKのパルス波形は消滅することがない。なお、ここでは、インバータ回路IV41を2段目のクロックドインバータ回路CIV2と3段目のクロックドインバータ回路CIV3との間に設けたが、初段と最終段以外の途中段であればよい。すなわち、1段目のクロックドインバータ回路CIV1と2段目のクロックドインバータ回路CIV2との間から $(n-1)$ 段目のクロックドインバータ回路CIV $(n-1)$ と n 段目のクロックドインバータ回路CIV n との間までの最適な箇所に設けることができる。

【0061】また、インバータ回路IV41を複数箇所に設けることもできる。これにより、さらに効果的に内部クロック信号 i_{nt} 、CLKの波形の消滅を防ぐことができる。

【0062】以上のように、この実施の形態2によるPLL回路は、インバータ回路IV41を設けたため、内部クロック信号 i_{nt} 、CLKの波形の消滅を防ぐことができる。

【0063】なお、図9に示されたクロックドインバータ回路CIV1-CIV n に代えて、図7に示されたインバータブロックDB1-DB n を設けることもできる。

【0064】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0065】

【発明の効果】この発明の1つの局面に従ったPLL回路は、複数段の第1のインバータ回路の途中段に挿入さ

れ、その出力ノードの充放電時間がループフィルタからの電圧に応じて変化しない第2のインバータ回路を含む電圧制御発振器を設けたため、出力波形が消滅することはない。

【0066】この発明のもう1つの局面に従ったDLL回路は、複数段の第1のインバータ回路の途中段に挿入され、その出力ノードの充放電時間がループフィルタからの電圧に応じて変化しない第2のインバータ回路を含む電圧制御遅延回路を設けたため、出力波形が消滅することはない。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDLL回路の全体構成を示すブロック図である。

【図2】 図1に示された位相比較器の構成を示すブロック図である。

【図3】 図1に示されたチャージポンプおよびループフィルタの構成を示す図である。

【図4】 図1に示された電圧制御遅延回路の構成を示すブロック図である。

【図5】 図4に示された電圧制御遅延回路の動作を説明するための波形図である。

【図6】 SDRAMの動作を説明するためのタイミングチャートである。

【図7】 図4に示された遅延段の変形例の構成を示すブロック図である。

【図8】 この発明の実施の形態2によるPLL回路の全体構成を示すブロック図である。

【図9】 図8に示された電圧制御発振器の構成を示すブロック図である。

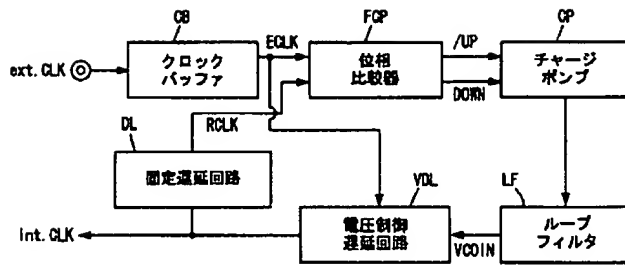
【図10】 従来のDLL回路における電圧制御遅延回路の構成を示す回路図である。

【図11】 図10に示された電圧制御遅延回路の動作を説明するための波形図である。

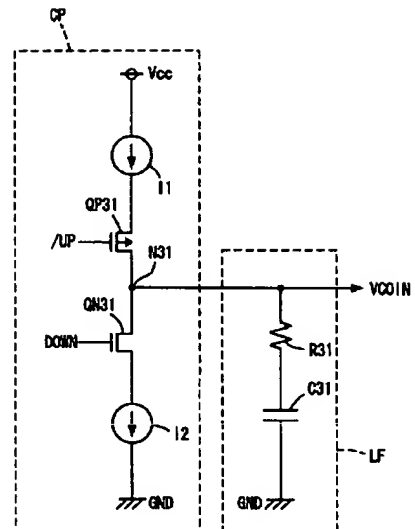
【符号の説明】

FCP 位相比較器、LF ループフィルタ、VDL 電圧制御遅延回路、VCO 電圧制御発振器、CIV1-CIV n クロックドインバータ回路、PT43、PT44 PチャネルMOSトランジスタ、NT43、NT44、NT71 NチャネルMOSトランジスタ、IV41、IV71 インバータ回路、DB1-DB n インバータブロック、C71 キャパシタ、VINP、VINN 制御信号、Vcc 電源ノード、GND 接地ノード。

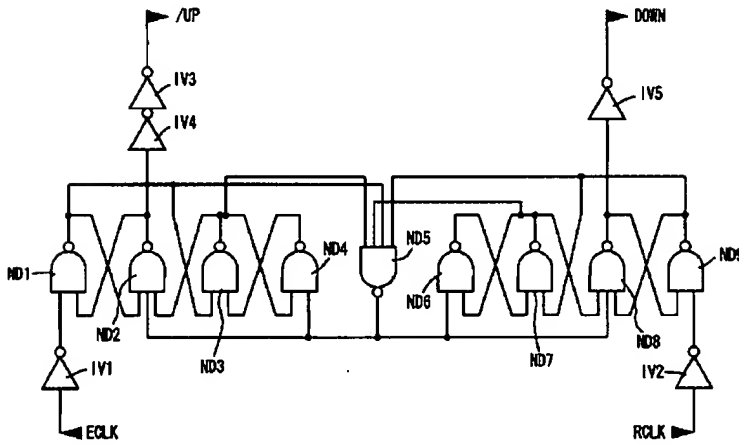
【図1】



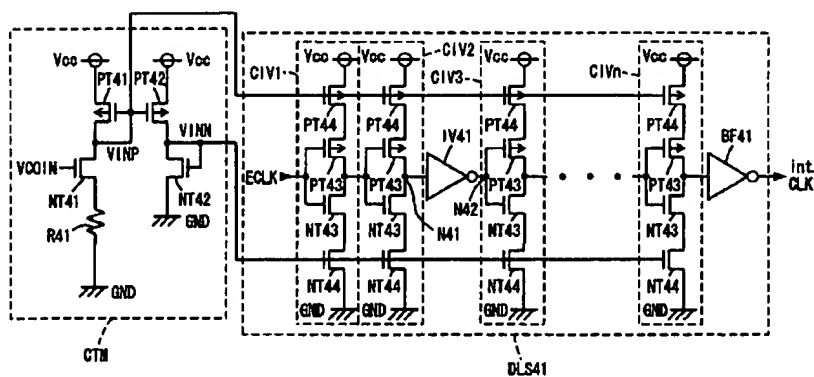
【図3】



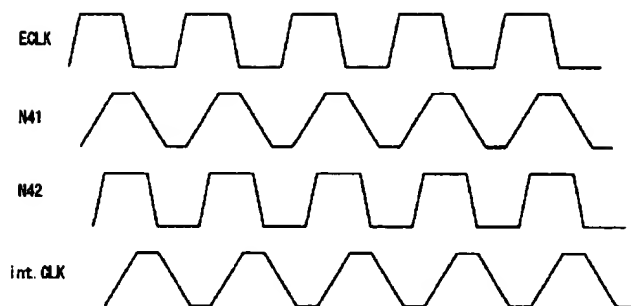
【図2】



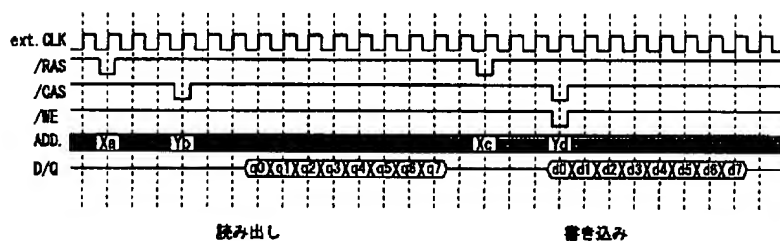
【図4】



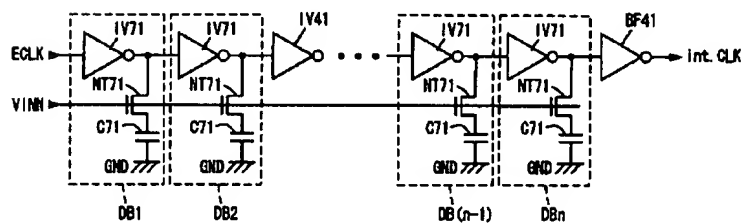
【図5】



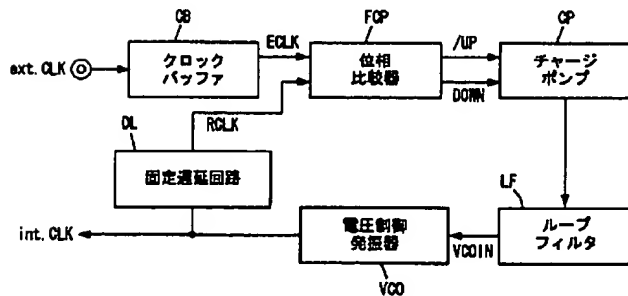
【図6】



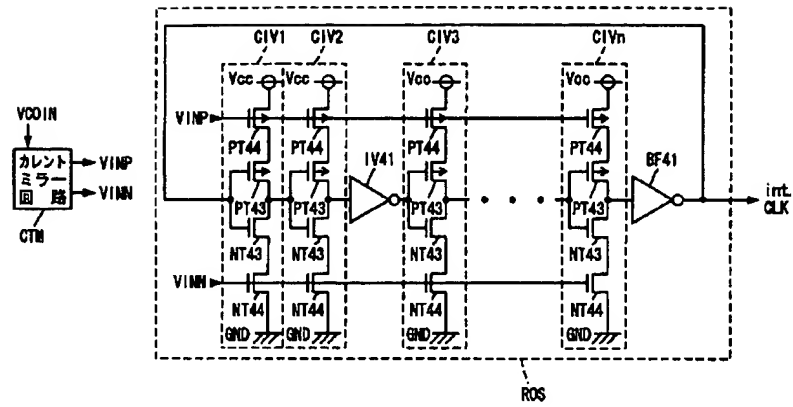
【図7】



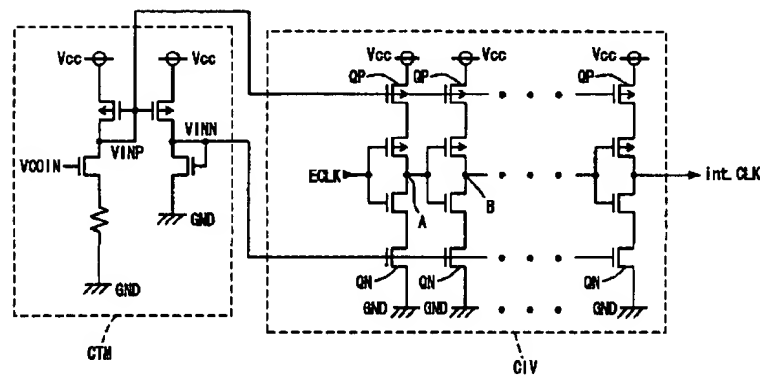
【図8】



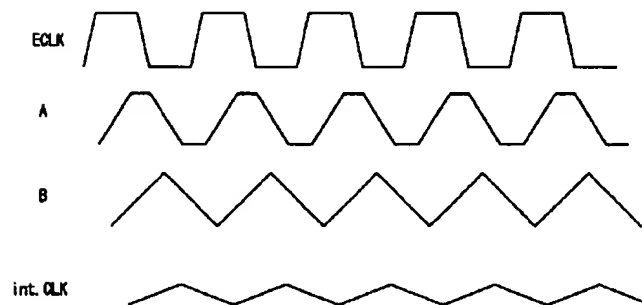
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.⁷
)

識別記号

F I

テーマコード(参考)

H03L 7/14
H04L 7/033
// H03K 5/26

H03K 5/26
G06F 1/04
H04L 7/02

G
312A
B

F ターム(参考) 5B079 BA20 BB10 BC03 CC02 CC14
DD06 DD20
5J001 BB10 BB12 BB19 BB20 BB25
DD01 DD06
5J039 JJ07 JJ14 KK01 KK10 KK13
KK17 KK20 KK33 MM16
5J106 AA05 CC15 CC21 CC41 CC58
DD32 DD43 GG01 JJ01 JJ06
KK29 LL02 LL04
5K047 GG11 GG27 MM33 MM46 MM50
MM63